

高频反应溅射淀积氮化硅

物理系半导体专业 张景森 许燕萍

摘 要

钠离子沾污及其在 SiO_2 中的高迁移率,是造成半导体器件性能不稳定和使MOS器件阈值电压难于控制的主要原因。目前,以 Si_3N_4 和 Al_2O_3 代替 SiO_2 或与 SiO_2 组成双层结构,对提高器件的稳定性、可靠性,具有良好的效果。本文介绍利用国产JS-450型高频溅射设备淀积 Si_3N_4 的工艺、影响薄膜淀积速率和质量的主要因素,并简要介绍此法淀积的 Si_3N_4 薄膜的特性和实际使用的效果。

随着电子工业的迅速发展,对半导体器件的稳定和可靠性要求愈来愈高,表面钝化技术显得日益重要。

Si_3N_4 的结构比 SiO_2 更致密,化学稳定性更好,介电常数和介电强度更高,掩蔽杂质的扩散范围更宽,对钠离子阻挡能力特别强,它已成为当前较理想的钝化膜。近十年来,发展了多种制备方法,其中普遍采用的有:化学气相淀积法⁽¹⁾(简称CVD法),即用硅烷(SiH_4)与氨(NH_3),高频加热 $800\sim 900^\circ C$ 反应淀积,或用四氯化硅($SiCl_4$)与氨,在扩散炉中加热 $800\sim 900^\circ C$ 反应淀积⁽²⁾;也有采用硅烷与氨在 $400^\circ C$ 左右的射频辉光放电中反应淀积,以及高频反应溅射淀积。

后一种方法,由于设备和工艺条件的原因,往往不易淀积质量好的氮化硅(有称硬氮化硅),而是 $Si_xO_yN_z$ 结构⁽³⁾的氮化硅(软氮化硅)。

通过实验,我们用国产JS-450型高频溅射设备,成功地淀积了硬的氮化硅薄膜,并使之投产使用。经过SP-1000红外光谱仪等多种鉴定,证明此法制备的 Si_3N_4 薄膜,物理、化学性质与CVD法相仿,且具有不易爆,无毒气,操作安全、简便,节约原材料(一个几毫米厚的硅靶可使用几年),淀积速度快(250埃/分以上),厚度监控容易,适合批量生产以及能在室温淀积的突出优点,是一种值得重视的 Si_3N_4 薄膜的淀积方法。

高频反应溅射淀积 Si_3N_4 原理、设备及工艺

高频反应溅射是在直流辉光放电溅射的基础上发展起来的。它的基本原理⁽⁴⁾

是,靶子在高频电场的作用下,处在等离子区中的靶面伏-安特性的非线性,造成靶面负电位,从而获得加速射向靶面的正离子流所需要的电场。当被电场加速的正离子撞击靶子(硅单晶或多晶)表面时,硅原子便从靶面上被均匀地剥落下来,成为高能态(2~10电子伏)的硅原子。如果放电气体中含有适量的反应气体(氮气),高能态的硅原子则极易与之发生化学反应,生成 Si_3N_4 淀积在基片上。

淀积试验是在国产JS-450高频溅射设备中进行。图(1)为设备原理图。设备最大射频输出功率为3千瓦,最高阳极电压6千伏,工作频率10~13.65MC,聚焦磁场100高斯。真空室、工作台、储气罐等均用不锈钢材料制成,靶子托盘与基片工作台都通水冷却。靶子直径为90毫米(稍大于靶子托盘直径),厚度3毫米,电阻率 $60\Omega\text{-cm}$ 的 $n\text{-Si}$ 片,用DAD-5导电胶粘于靶子托盘上。

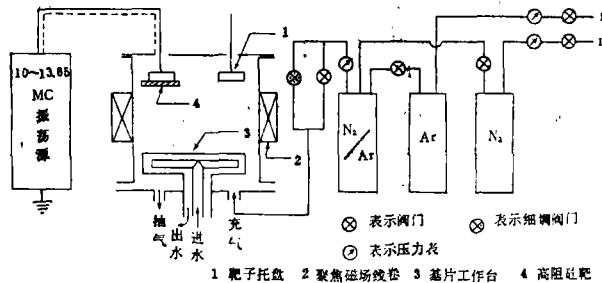


图1 JS-450高频溅射设备原理图

工作气体为99.99%的氩气和氮气,分别充进第I、II储气罐,按需要的比例在第III储气罐中进行混合,再由细调阀门控制充进真空室。

为了保证薄膜的淀积质量,每次溅射前均需将真空室抽至 10^{-5}mmHg 的真空度,并多次充进一定量的高纯工作气体冲刷,以清除吸附在室内壁的有害气体,特别是氧和水汽。然后调节进气针阀,使混合气体压力保持在 10^{-3}mmHg 左右,即可加上高频电压进行试溅,使吸附在室内壁上的有害气体在辉光放电过程中得到进一步的清除。经试溅几分钟以后,旋转工作台,使基片对准靶面,按预定要求进行 Si_3N_4 薄膜的淀积。

影响淀积的主要因素

影响高频反应溅射淀积 Si_3N_4 薄膜的因素很多,且互相关联,因此较难在理论和实验上确定淀积的最佳条件。但对于选定的放电几何参数(本试验均选靶面与基片间距3厘米、靶子直径90毫米),分别对不同的射频振荡源的阳极电压(下文的高频电压均是此电压)、工作气体压力、氮气与氩气比例等影响薄膜淀积的主要因素进行实验,并利用SP-1000红外光谱仪、等厚干涉仪、化学腐蚀和电容电压法

等,测定薄膜的淀积速率和部分物理、化学性质,则仍可找到薄膜淀积较为理想的工艺条件。

我们对三个影响薄膜淀积的主要因素所做的实验结果如下:

一、高频电压

保持氮、氩气体总压力为 $8 \times 10^{-4} \sim 1 \times 10^{-3} \text{ mmHg}$ 、氮氩比为3-5%,对应不同的高频电压,在电阻率为 $6 \sim 6.8 \Omega \cdot \text{cm}$ 、[111]晶面的 $n\text{-Si}_3$ 基片上进行6分钟的 Si_3N_4 薄膜淀积实验,结果列于表 I:

表 I 高频电压对薄膜淀积的影响

| 薄膜特性 \ 高频电压(千伏) | 3.0 | 3.5 | 4.0 | 4.5 | 5.0 |
|-----------------|-----------------|-----------------|-----------------|-----------------|-----------------|
| 淀积速率 (埃/分) | 160 | 190 | 210 | 240 | 280 |
| 折射率 n | 2.3 | 2.1 | 2.3 | 2.1 | 1.3 |
| 介电常数 ϵ | 3.0 | 7.0 | 7.0 | 7.0 | 3.5 |
| 介电强度 (伏/厘米) | 5×10^7 | 5×10^7 | 4×10^7 | 4×10^7 | 3×10^7 |
| 腐蚀速率 (埃/分) | 40 | 34 | 25 | 12 | 42 |

注: 腐蚀液均采用 $\text{HF}:\text{NH}_3\text{F}:\text{H}_2\text{O} = 3:6:10$;
 折射率均为 $\lambda = 5893 \text{ \AA}$ 下测得;
 腐蚀温度均为室温。

二、混合气体压力

固定高频电压为4.5千伏,其他条件保持不变,对应不同的混合气体压力进行淀积,结果列于表 I:

表 II 气体压力对薄膜淀积的影响

| 薄膜特性 \ 气体压力(mmHg) | $1-2 \times 10^{-2}$ | $1-10 \times 10^{-3}$ | $8-10 \times 10^{-4}$ | $1-8 \times 10^{-4}$ |
|-------------------|----------------------|-----------------------|-----------------------|----------------------|
| 淀积速率 (埃/分) | 150 | 180 | 230 | 250 |
| 介电强度 (伏/厘米) | 2×10^7 | 1×10^7 | 1×10^7 | 1×10^7 |
| 腐蚀速率 (埃/分) | 700 | 700 | 120 | 36 |

注: 腐蚀温度 35°C

三、氮气与氩气比例

固定高频电压4.5千伏、气体压力 $8\sim 10\times 10^{-4}mmHg$ ，改变氮氩比，进行薄膜淀积，结果列于表Ⅱ：

表Ⅱ 氮氩比对薄膜淀积的影响

| 氮氩比 % | <0.1 | 2~3 | 4~5 | 8~10 |
|-----------------|----------------|----------------|----------------|----------------|
| 薄膜特性 | | | | |
| 淀积速率 (埃/分) | 150 | 400 | 370 | 350 |
| 折射率 n | 2.2 | 2.1 | 2.1 | 2.1 |
| 介电常数 ϵ | 6.0 | 8.0 | 8.0 | 8.0 |
| 介电强度 (伏/厘米) | 1×10^7 | 3×10^7 | 3×10^7 | 2×10^7 |
| 腐蚀速度 (埃/分) | 40 | 25 | 30 | 25 |

上述实验表明： Si_3N_4 薄膜的淀积速率和化学稳定性，主要是由被正离子击撞出来的硅原子的能态和适量的氮气所决定⁽⁴⁾。因为硅原子的能态越高，与氮反应生成 Si_3N_4 的过程越完全。由表 I 可知，在高频电压5千伏的范围内，电压越高淀积速率越快，化学腐蚀速率越接近CVD法的结果（在电压为5千伏时出现腐蚀速度加快的现象，可能是由于本实验所用之硅靶是由四块硅单晶片并成，随着电压的升高，即离子轰击能量的增加，在并接处有不少硅原子团状的硅粉出现所致）。由表Ⅱ可知，在维持气体辉光放电的气压范围内，气压越低淀积速度越快，化学稳定性越好，这是因为气压低气体的平均自由程增加，在加速电场相同的情况下，氩离子获得的能量越大，撞击出来的硅原子的能态也越高。由表Ⅲ可以看出，在氮气与氩气的比例超过2~3%以后，氮氩比越小越好，因为氮气的电离能比氩气高，比例小，则在同样的电场作用下，耗费在气体电离上的能量减少，同样是增加了离子的能量，而相应提高了被撞击出来的硅原子的能态。

从上列实验中选择认为较理想的工艺条件（靶面和基片间距3厘米、高频电压4.5千伏、气体压力 $5\times 10^{-4}\sim 1\times 10^{-3}mmHg$ 和氮氩比为2~3%）下， Si_3N_4 薄膜的淀积速率和特性分述如下：

- (1) 淀积速率 = 250~300埃/分，淀积厚度与时间成线性关系，如图(2)所示；
- (2) 折射率 $n = 2.0\sim 2.3$ ；
- (3) 介电常数 $\epsilon = 6.5\sim 8$ ；
- (4) 介电强度 $U = 2\sim 5\times 10^7$ 伏/厘米；
- (5) 薄膜厚度为4,000埃时，针孔数不大于2/厘米²；

(6) 红外吸收光谱峰值为11.5~12微米,这是典型的Si-O键的红外吸收峰,图(3)中曲线a是以KB₁为基片, b、c是以n-Si为基片,在SP-1000红外光谱仪测量的红外吸收曲线。曲线c在波长9微米处出现微吸收峰,可能是由于沉积期间氧或水汽清除不干净,也可能是基片硅在沉积前就存在着少量氧化物而导致痕量Si~O键的出现;

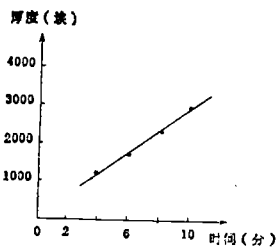


图2 沉积厚度与时间关系

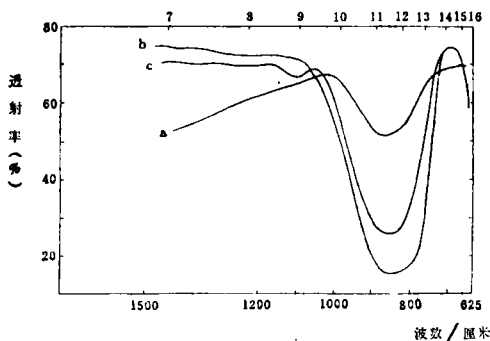


图3 Si₃N₄薄膜的红外吸收光谱

(7) *MNS*结构的C-V特性: 对于沉积在[111]晶面,电阻率为6~6.8Ω-cm的n-Si基片上3,000埃的Si₃N₄薄膜,与金属铝构成的*MNS*结构,在BT处理前后的C~V特性曲线,如图(4)所示。计得其可动电荷密度<2×10¹⁰/厘米²,固定电荷密度<1×10¹¹/厘米²。图(5)为*MNS*结构,经钠离子沾污(在1%NaOH的溶液浸泡20分钟,取出烘干并进行BT处理)前后C~V曲线。

为比较起见,对同类基片干湿干法进行氧化2000埃SiO₂而成的*MOS*结构,在BT处理前后以及沾污前后的C~V曲线,分别见图(6)和图(7)。

从图(4)(5)与图(6)(7)相比较可知,*MNS*结构的可动和固定电荷密度都比*MOS*结构少,而且显示出Si₃N₄薄膜异常强的抗钠离子沾污能力。

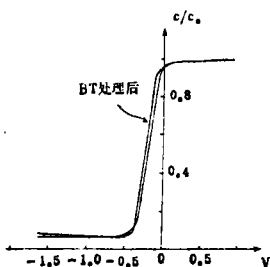


图4 *MNS*结构的C~V特性

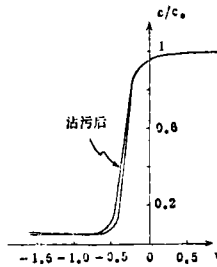


图5 *MNS*结构沾污试验曲线

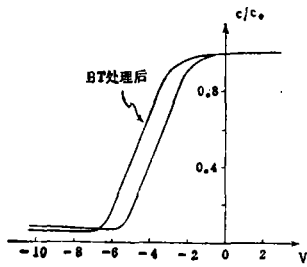


图6 MOS结构的C~V特性曲线

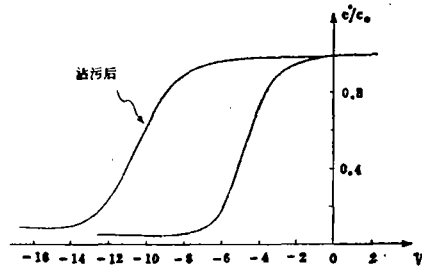


图7 MOS结构沾污试验曲线

讨 论

一、只要严格控制工艺条件，高频反应溅射法完全可以淀积得到性质与CVD法相仿的 Si_3N_4 薄膜，然而高频溅射法具有室温淀积的突出优点，则尤适用于要求低温淀积掩膜的器件制造，以及可以作为器件最后钝化工艺。

我们曾对若干组不合格（软击穿或漏电流过大）的蓝硅光电二极管做表面钝化试验：分别测量除去 SiO_2 掩膜前后的全暗下漏电流，以及在高频溅射淀积一层2,000埃的 Si_3N_4 薄膜后的全暗下漏电流，发现在不影响其他特性的情况下，全暗漏电流降低1~2个数量级，效果相当显著。

二、高频反应溅射淀积的 Si_3N_4 薄膜形成的MNS结构，普遍存在着C~V特性的滞后现象，如图(8)所示。这是 $Si-Si_3N_4$ 界面应力产生的载流子陷阱俘获和隧道渡越效应⁽²⁾所致。这也是CVD法淀积的 Si_3N_4-Si 接触界面同样存在的一种现象。国外已经利用这种效应制造成电荷储存器件⁽⁶⁾，在室温下储存时间可达4,000小时以上。

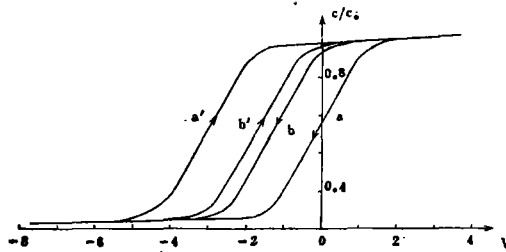


图8 Si_3N_4-Si 界面的电荷储存效应

上述效应也会造成器件性能的不稳定，克服这种现象的理想办法是采取MNOS结构。我们在互补场效应集成电路的制造中，采用这种结构，即先栅氧一层1,400埃的 SiO_2 ，然后再在其上高频反应溅射淀积一层800埃的 Si_3N_4 薄膜，制备出来的CMOS或非一非集成电路的开启电压 $V_T \approx 1.5$ 伏。

参 考 资 料

- [1] B. E. Deal, P. J. Fleming, and P. L. Castro.
"Electrical properties of Vapor-Deposited Silicon Nitride and Silicon Oxide Films on Silicon" J. Electrochem. Soc. Vol 115 P.300, 1968.
- [2] M. J. Griecq, F. L. Worthing, and B. Schwartz, "Silicon Nitride Thin Films from SiCl_4 plus NH_3 ; preparation and properties" J. Electrochem. Soc. Vol 115, P525, 1968.
- [3] D. M. Brown, P. V. Gray, F. K. Heumann, H. R. philipp, and E. A. Taft, "Properties of $\text{Si}_x\text{O}_y\text{N}_z$ Films on Si" J. Electrochem. Soc. Vol115, P311, 1968.
- [4] "高频溅射技术" 半导体新工艺(浙江大学編譯) p97, 1971.
- [5] "一种精度較高的测量薄膜厚度的方法" 中山大学物理系半导体物理实验室, 广东电子技术 P21-24 1975. 1.
- [6] J. T. Wallmark and J. H. Scott "Switching and Storage characteristics of MIS memory Transistors" RCA Rev. Vol 30 P335 1969.