

利用锁相环实现高频移相的研究^{*}

林镇材

(中山大学无线电电子学系, 广州 510275)

摘要 介绍利用锁相环实现高频移相的基本原理、电路的设计与实验结果.

关键词 高频移相, 锁相环

分类号 TN 911.8

近年来,锁相环路的研究日趋深入,应用更加广泛,并且锁相环路(PLL)是一个能够跟踪输入信号相位的闭环自动控制系统,锁相环路锁定之后,稳态频差等于零,稳态相差 $\theta_e(\infty)$ 总是存在,是一固定值;此外,已经锁定的锁相环路,若再改变其固有频差,稳态相差 $\theta_e(\infty)$ 会随之改变.本文即是利用这个原理,讨论和设计了工作在几十MHz高频信号的移相器,并设计有关电路付诸实现.这种利用锁相实现高频移相电路,可以得到相对于基准频率同频而相位连续可调的信号.

1 工作原理

锁相环路是一个闭环的相位控制系统.它比较输入信号和压控振荡器输出信号之间的相位差,从而产生误差控制电压来调整压控振荡器的频率,以达到与输入信号同频.

锁相环这个反馈控制系统是由鉴相器 PD、环路滤波器 LF 和压控振荡器 VCO 三个基本部件组成的.

鉴相器是一个相位比较装置.它把输入信号 $V_i(t)$ 和压控振荡器的输出信号 $V_o(t)$ 进行相位比较,产生对应于两信号相位差的误差电压 $U_a(t)$

即
$$U_a(t) = f[\theta_e(t)], \quad \theta_e(t) = \theta_2(t) - \theta_1(t)$$

环路滤波器具有低通特性,对环路参数调整起决定作用.它还是一个线性电路.常用环路滤波器有 RC 积分滤波器、无源比例积分滤波器和有源比例积分滤波器 3 种.在时域分析中可用一个传输算子来表示,记为 $F(d)$.

压控振荡器是一个电压频率变换装置,控制特性可用下列方程来表示

$$k_v(t) = k_0 + K_0 U_0(t)$$

式中, $k_v(t)$ 是压控振荡器的瞬时角频率; K_0 (rad/sV) 为控制灵敏度, $U_0(t)$ 是 VCO 输入电压.

在锁相环路中,从鉴相特性看,压控振荡器输出对鉴相器起作用的不是 $k_v(t)$,而是它的

^{*} 收稿日期: 1997-05-04 林镇材,男,55岁,副教授

瞬时相位 $\theta_2(t)$. 而 $\theta_2(t) = K \int_0^t U_0(t) dt$ 改写成算子形式: $\theta_2(t) = U_0(t) k_0 / P$ 将环路三部件模型连接, 则得到环路如图 1 相位模型.

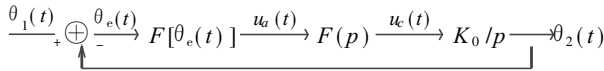


图 1 锁相环路相位模型

由图 1 知: $\theta_2(t) = \theta_1(t) - \theta_2(t)$, $\theta_2(t) = K_0 U_d [F(d) / P] f [\theta_E(t)]$

由此可推出: $\theta_e(\infty) = \Delta k_0 / K F(d)$

式中 Δk_0 是固有频差, K 是环路总增益, $F(d)$ 是环路滤波器的传输算子. 若改变 Δk_0 , 可改变稳态相差. 这就是利用锁相环路实现高频移相的最基本原理.

2 电路的设计

在环路锁定后, 环路总增益 K 和传输算子不改变情况下, 改变 Δk_0 , 可使 $\theta_e(\infty)$ 改变. 本设计以此为理论依据, 设计一个连续可调的高频移相器.

2.1 压控振荡器

压控振荡器采用集成块 E1649, 它属多谐振荡类型, 可输出正弦波和方波, 其内部线路 T_7 , T_8 组成基本的射极耦合差动级. 与 10, 12 端外接回路共同构成负阻振荡器; T_7 , T_8 的射极接在可控恒流源 T_9 上, T_8 的集电极输出加在 T_7 基极上, 以形成正反馈而产生振荡, 其振荡频率 f_v 取决于外接回路的 LC 值, 即 $f_v = 1 / [2\pi \sqrt{LC}]$. 振荡信号经 T_6 反馈和 D_1 电平偏移, 加至 T_9 管的基极构成负反馈, 因而能够稳定振荡幅度. 由于采用 ECL 工艺, 所以 f_m 可达 225 MHz.

图 2 给出集成压振荡器 E1649 的线性工作范围和压控灵敏度. 图 2 中 2~6 V 段线性度较高, 选用此段, 则 $K_0 = 3. \times 10^6 \text{ rad} / (\text{s} \cdot \text{V})$, 输出频率 $f_v = 1 / [2\pi \sqrt{LC_0 / (V_i + V_0)}]^{1/2}$, 其中, $V_0 = 0.5 \text{ V}$, $C_0 = 68 \text{ pF}$, $L \approx 0.27 \mu \text{ H}$.

2.2 数字式鉴频鉴相器 (DPFD)

电路采用流行的数字式鉴频鉴相器, 数字式鉴频鉴相器是用脉冲后沿触发来进行工作的. 属边沿触发型电路, 不仅有鉴相功能, 而且有鉴频功能, 由于它的线性范围是 $\pm 2\pi$, 扩展了锁相范围, 并且电路简化, 可靠性高, 具有明显的优点. 集成块采用高速 TTL 电路, 平均传输延时 2~4 ns, 相对于 50 MHz 信号来说, 可算是即时触发. 74S74 满足本电路性能要求.

数字式鉴频鉴相器电路如图 3 所示. 该电路由数字比相电路和电压泵电路、环路滤波器构成. 比相电路中包含分频电路, 滤波电路采用三阶低通滤波方式. 该电路理论上的鉴频鉴相线性范围为 $\pm 2\pi$. 当环路进行频率捕捉时, 它以鉴频器方式工作; 当进入相位锁定区域后, 就转换为鉴相器方式工作. 这样, 就扩展了环路的快捕带, 缩短了频率牵引过程, 使环路快速地进入相位锁定区域, 实现快捕锁定. 所用鉴相方式是一种饱和形式的非线性鉴频方

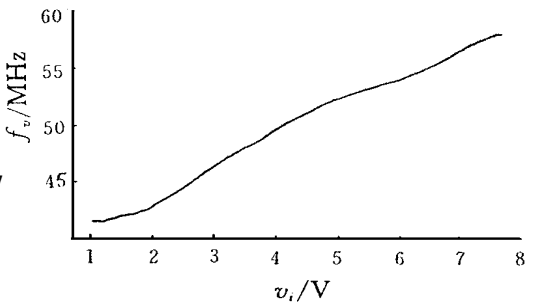


图 2 集成压控振荡器 E1649 压控特性

式,即只要两个比相信号之间有频差,无论频差大小,就输出有较大的直流误差成分去控制压控振荡器频率。

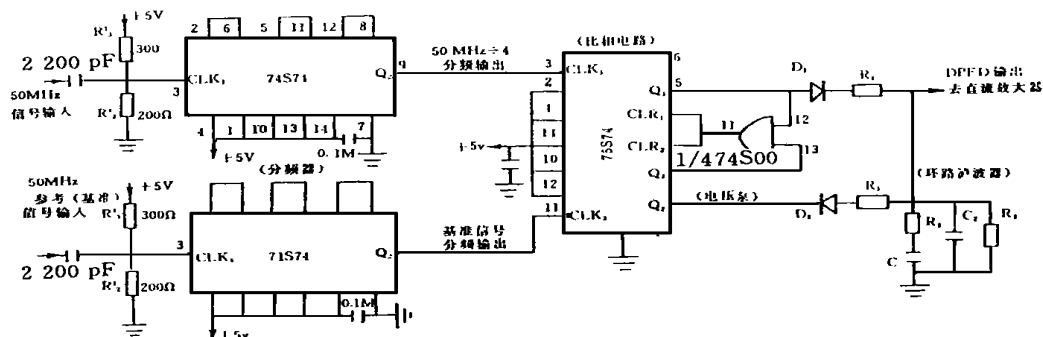


图 3 数字式鉴频鉴相器电路图

图 3是一个三阶环,当 C_2 较小时,对环路的平均性能与过渡特性影响较小,但对频率脉动却有较显著的抑制效果.三阶环参数取值主要考虑环路的稳定条件.采用无源比例积分滤波器的三阶环的相位超前因子的时间常数越大,环路的稳定性越好,但必须满足

$$k_f \geq 15/f_2, \quad f_2 = R_2 C$$

$$f < f_2/2, \quad f = f_D + f_M, \quad k_f = 2\pi f_i$$

式中, f_D 与 f_M 分别是脉冲信号在数字集成化高速分频器与 DPDF上的延迟时间,约为 20~200 ns.

若 $k_f = 2 \times (50/4) \times 10^6$ Hz,选 $C = 0.05 \mu$ F,则 $R_2 \geq 15/k_f C = 15/[2 \times (50/4) \times 10^6 \times 0.005 \times 10^{-6}]$,分频系数 $M = 4$,取 $C = 10 C_3$,则 $C_3 = 5000$ pF, R_3 为减小惰性失真,越大越好,取 $R_3 = 100$ k Ω .

一般为使 VCO的短期抖动小,即输出相位噪声小,使捕捉快速,要求环路带宽 k_f 大,但 DPDF对纹波抑制能力较强,本质上属宽带器件,从而使中放进入的噪声功率较大,故要求 k_f 窄些为宜,本电路选 $k_f = 2 \times 33$ kHz, R_3, R_4 的选取应考虑中频的信噪比,由它们确定的分压比点应能使中频的噪声电压在 CLK₁的触发电平之下,经计算 $R_3 = 300 \Omega$, $R_2 = 200 \Omega$,耦合电容取 2200 pF.

假设 $a = 0.707$,综上所述,各元件参数取值 k_f 为 2×33 kHz, f_2 为 5.6μ s, f_i 为 200μ s, $k_f f_2 \geq 15$ (稳定), $f < f_2/2 = 2.8 \sim 5.6 \mu$ s, R_2 为 45Ω , R_1 为 2 k Ω , C 为 0.05μ F, C_2 为 0.005μ F, R_3 为 100 k Ω .

2.3 环路放大器的设计

由于鉴频鉴相器要求分频的信号有一定幅度,而压控振荡器输出幅度较小,达不到要求分频的幅度,因此须在两者之间加两级共射中频放大器,直流放大器采用反比例运算放大器 (741),其中反馈电阻由 10 k Ω 电阻与 4.7 k Ω 电位器串联组成,这可使输出电压调节较为细致,变化较缓,有利于后级电路工作。

3 电路的调试与测量

3.1 压控振荡器的调试

直流电源 E1648供给 +5 V 电压,并在外接回路输入端加一可调直流电压,电压变化范

围 2~6 V, E1648 的 3 脚接频率计. 压控特性测得如图 2, 可见压控振荡器输出 50 MHz 信号时的输入控制电压为 4 V 左右. 并测得 3 脚输入信号幅度峰-峰值为 $V_{pp} = 0.8 \text{ V}$.

3.2 分频器及鉴频鉴相器调试

如图 3 所示, 先将信号源送来的 50 MHz 信号加在分频器的输入端之一, 逐渐增大幅度. 分频器输出端接示波器, 观察示波器上是否出现方波, 当出现方波时, 再稍增大输入幅度, 使方波频率为 12.5 MHz, 此时分频器正常工作. 以同样方法步骤调试另一分频器. 此后记下分频所需的幅度, 然后将压控输出信号送放大器放大, 放大后信号须大于分频所需幅度. 放大信号出现饱和失真不会对分频器有影响, 因分频器是数字电路, 不会引起误触发. 如果加上分频器上的信号幅度仍然不够, 可调整放大器增益及注意连接电缆匹配.

当分频器输出为 12.5 MHz 的方波时, 说明分频器工作已正常. 然后按前面接法不变, 测量鉴相器输出, 则可在示波器上观察到锯齿波. 微调信号源频率, 使输入频率差尽可能小, 则可见到锯齿波周期越来越大, 波形越来越平直. 将两输出同时送双踪示波器, 在示波器中可观察到, 当 50 MHz 信号相位超前基准信号或 50 MHz 信号频率大于基准信号频率时, 比相器 Q_1 端将产生宽度正比于相差的正脉冲序列, 此时 $\overline{Q_2}$ 端为高电平. 反之 Q_2 端将输出宽度正比于相差的负脉冲序列, Q_1 端始终为高电平.

3.3 直流放大器的调试

直流放大器用 741 加反馈电阻构成反比例运算放大电路. 由于压控灵敏度较高, 所以负反馈电阻调节不能变化太大. 对此采取将 $10 \text{ k}\Omega$ 电阻与 $4.7 \text{ k}\Omega$ 电位器串联构成反馈电阻的方法.

将频率计接压控振荡器输出, 微调直流放大器中电位器使其输出约为 4 V (使 VCO 输出频率接近 50 MHz), 参考信号亦为 50 MHz, 在 VCO 中若调其 LC 回路磁芯一段范围内频率计显示频率不变时, 则可认为环路已经调试至锁定状态.

如前所述, 对于锁相环, 它的稳态相位误差是 $\theta_e(\infty) = \Delta k_0 / K_v = 2\Delta f_0 / K_0 K_F F(d)$, 其中 $\Delta f_0 = f_i - f_v$ 为输入频率偏移.

鉴相器的直流输出是 $K_d Q_e(\infty)$, 代入上式, 可得 $V_d = K_d \theta_e(\infty) = 2\Delta f_0 / K_0 K_F F(d)$. 由此可知, 测定了 V_d 和 Δf_0 的关系后, 就可以确定 $K_0 K_F F(d)$ 的数值. 此外, 还可确定环路的同步范围 (2 倍同步带) 与同步范围内的环路特性.

实验中采用高稳定频率综合器输出 50 MHz 信号作为模拟参考信号, 可通过调节 VCO 的 LC 回路磁芯或调节 VCO 的输入压控电压 V_i 来微调 VCO 的输出频率, 在微调上述两者之一并在一定调节范围内, 而观察到频率计指示不变时即为该锁相环在此范围内锁定.

在锁定范围内, 用双踪示波器观察作为 50 MHz 的参考信号与压控振荡器的输出信号波形如图 4. 由此可见, 即获得在 50 MHz 工作频率下, 同频而不同相位的高频信号, 并在锁定范围内, 通过调节 V_i 及 LC 回路磁芯使两者之间相位差连续可调, 图 5 给出 VCO 输入电压与相移 Q 关系. 结合图 2 与图 5, 亦可得出固有频差与 θ_e 的关系.

如上述, 若要获得不同工作频率下信号的移相, 只要改变上述锁相环的参考信号频率, 根据 VCO 图 2 所示压控关系, 适当调节 VCO 的输入电压, 并调使锁相环锁定. 在锁定时调节 VCO 的 LC 回路磁芯, 则同样实现在另一工作频率下高频信号相位连续可调.

4 实验结果的讨论

设计并实现的环路能达到高频移相功能, 证明设计的电路是合理的, 经实验证明, 这种

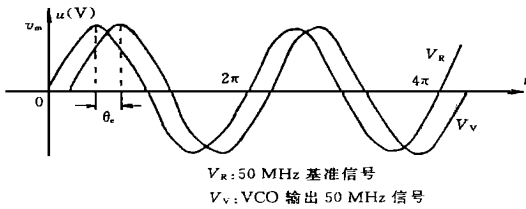


图 4 获得高频移相示意图

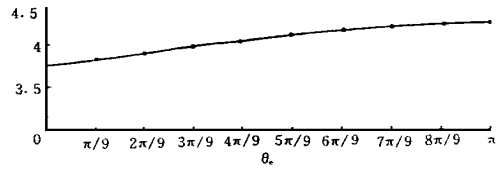


图 5 VCO 输入电压与相移关系图

高频移相方案是可行的. 在环路锁定时, 该移相电路调试简单, 只需调节 VCO 的 LC 回路磁芯即可移相. 可靠性也较高, 从移相范围来看, 达到 $^{\circ}$ 已具有实际应用价值. 实用中是完全够用的.

实验中有一种现象, 即高频放大器输出波形欠佳时, 也就是说干扰较大时, 环路会瞬间失锁然后再次锁定, 这可能是放大倍数不够, 也有可能是环路信噪比下降太多, 造成环路跳闸. 因此放大器采用选频放大器能较好避免这种情况.

但这种高频移相是利用锁相环锁定时获得的, 也就是该环路失锁则失去了高频移相的工作前提, 也就是该相移可靠性及范围取决于锁相环的锁定范围和锁相环质量, 这些都取决于锁相环设计合理, 参数选取正确、电源干扰大小等因素, 因此高频移相可靠性及相移范围提高, 必须从这方面入手, 上述实验采用数字式鉴频鉴相器锁相环, 一般是能满足实用要求.

参 考 文 献

- 1 中国集成电路大全编委会. 中国集成电路大全 (ECL 部分). 北京: 国防工业出版社, 1985
- 2 Pickett H M. Locking millimeter wavelength klystrons with a digital phase-frequency detector. Rev Sci Instrum, 1977, 48 (6): 706~ 707
- 3 Mcmillan R W, Guillory D M. Results of phase and injection locking of an orotron, IEEE Trans MTT, 1989, 37 (11): 1828~ 1830
- 4 Gardner F M. Charge-pump phase-lock loops. IEEE Trans on Com, 1980, 28 (11): 1849~ 1858

The Study of High Frequency Phaseshift By Phase-Locked Loop

Lin Zhencai^{*}

Abstract The high frequency phaseshift by phase-locked loop is studied theoretically. The system is designed and give tested data.

Keywords high frequency phaseshift, phase-locked loop

^{*} Department of Radio and Electronics, Zhongshan University, Guangzhou 510275