

文章编号: 0529-6579 (1999) 03-0021-04

电路测试的可区分故障算法研究^{*}

潘中良, 陈 翎, 张光昭

(中山大学无线电电子学系, 广东 广州 510275)

摘 要: 研究一种基于人工神经网络的能区分故障的数字电路测试生成方法, 该方法利用电路基本逻辑门的特性和神经网络模型的特点, 首先建立测试生成的神经网络模型, 然后通过求解网络能量函数的最小值点获得给定类型故障的测试矢量, 其研究结果在可区分故障的测试生成方面提供了一种可能的新途径.

关键词: 数字电路; 测试生成; 人工神经网络

中图分类号: TP 306 **文献标识码:** A

在数字电路的测试生成中采用神经网络技术, 自 Chakradhar 等^[1]首次把人工神经网络应用于组合电路的测试产生之后, 人们进行了较深入的研究, 例如能降低搜索空间的与被测电路对应的三值神经网络模型^[2], 能解决并行测试中优化问题的方法^[3]等. 本文研究并提出一种基于人工神经网络的能区分故障的数字电路测试生成方法.

1 故障模型与电路对应的神经网络

考虑电路中节点(信号线)的固定型故障($s-a-1$ 或 $s-a-0$). 对一个输入矢量 $\mathbf{z} = (z_1, z_2, \dots, z_n)^T$, 电路的输出函数为 $f(\mathbf{z}) = f(z_1, z_2, \dots, z_n)$. 设电路的一个固定型故障 α 使输出函数 $f(\mathbf{z})$ 变为 $f_\alpha(\mathbf{z})$, 另一故障 β 使 $f(\mathbf{z})$ 变为 $f_\beta(\mathbf{z})$. 对电路的一个输入矢量 $\mathbf{a} = (a_1, a_2, \dots, a_n)^T$, 如果使布尔表达式 $f_\alpha f_\beta + \bar{f}_\alpha f_\beta = f_\alpha(\mathbf{a}) \oplus f_\beta(\mathbf{a})$ 的值为 1, 且矢量 $\mathbf{a}$ 为故障 α 或 β 的一个测试, 则称矢量 $\mathbf{a}$ 为区分 2 个故障 α 和 β 的测试. 因此能区分 2 个故障 α 和 β 的测试生成, 也就是生成这种测试矢量, 它对于电路的某个输出来讲必须能检测 α 而不能检测 β , 或反之. 这种可区分每对故障的测试集合称为电路的完全定位测试组.

神经网络(ANN)能较好地处理目前串行计算机难于解决的 NP 完全问题, 对电路的测试生成, 如何利用 ANN 进行处理, 以及 ANN 模型的选取等, 是研究基于神经网络模型设计能区分故障的数字电路测试生成方法关心的首要问题. 根据组合电路测试生成的特点, 我们选用 Hopfield 神经网络作为电路建模的基础, 用神经网络的能量函数来表征电路的逻辑特性.

^{*} 基金项目: 广东省博士后基金资助项目

收稿日期: 1998-06-03 作者简介: 潘中良, 男, 1965 年生, 博士后.

一个基本门电路可以被表示成一个 N 端电路，它有多个主输入和一个主输出。电路的每个节点可以用一个神经元来表示，且节点的值是神经元的激活值（记这种激活值为 V_i ，它只取 0 或 1 两个值）。把与电路主输入（主输出）对应的神经元叫做主输入（主输出）神经元，把与各个门的输入（输出）节点对应的神经元叫做输入（输出）神经元。这样可以给每一基本门电路（AND，OR 等）定义一种相应的神经网络模型。在这里我们选择网络类型为离散 Hopfield 神经网络。取神经元的非线性函数为阈值特性函数，且使神经元的权值具有对称性，即 $T_{ij}=T_{ji}$ ， $T_{ii}=0$ ，则网络的能量函数 E 可以表示为

$$E=-\frac{1}{2}V^T T V-V^T I+K=-\frac{1}{2}\sum_{i=1}^N\sum_{j=1}^N T_{ij}V_iV_j-\sum_{i=1}^N I_iV_i+K$$

(1)

其中 N 为网络中神经元的数目， T_{ij} 为神经元间的权值， I 为神经元的阈值， K 为常数。由(1)式可知 E 由连接各神经元的权值和神经元的阈值所确定。对于某种基本门电路的一个相容状态，可以选择(1)式描述的能量函数 E ，使此时 E 的值为某一个非负常数 D ，而对于所有非相容状态，使 E 的值大于 D 。函数 E 如果存在，那么就可以用它来表示这种门电路的逻辑特性，并称门的相容状态为能量函数对应神经网络的相容状态。经过一定的计算⁴，我们选用表 1 所示的参数，这里 A, B 为大于 0 的常数。表中的每一能量函数 E 都满足：电路的相容状态使 E 的值为 0，对非相容状态 E 的值大于 0。对输入为 x_1 ，输出为 x_2 的 NOT 门，权 $T_{12}=-2A$ ， $I_1=A$ ， $I_2=A$ ， $K=A$ ，这里 A 为大于 0 的常数。

表 1 基本门电路对应的神经网络模型参数

Tah 1 The ANN model parameters for basic gate circuits

名称	输入	输出	权 T_{12}	权 T_{13}	权 T_{23}	阈值 I_1	阈值 I_2	阈值 I_3	K
AND	x_1, x_2	x_3	$-B$	$A+B$	$A+B$	0	0	$-2A+B$	0
NAND	x_1, x_2	x_3	$-B$	$-A-B$	$-A-B$	$A+B$	$A+B$	$2A+B$	$2A+B$
OR	x_1, x_2	x_3	$-B$	$A+B$	$A+B$	$-A$	$-A$	$-B$	0
NOR	x_1, x_2	x_3	$-B$	$-A-B$	$-A-B$	B	B	B	B

对一组合电路 C，利用构成它的基本门的神经网络模型，能获得一种与电路 C 对应的神经网络。方法如下，第一步：使对应于同一个门的输入节点的神经元相互连接、输出节点对应的神经元与输入节点对应的神经元相互连接。第二步：将电路中多个门电路的神经网络合并成该电路对应的新神经网络时，把相同的神经元标号合二为一，相应的阈值、权值分别相加，构成新的神经网络的权值和阈值。

2 测试生成

对被测电路中的 2 个故障 α 和 β ，生成的测试矢量对于电路的某个输出来讲必须能检测 α 而不能检测 β ，或反之。在常规算法中寻找故障的测试只需对被测电路进行操作，而这里用神经网络进行测试生成时，为了操作方便，需要构造被测电路的约束电路。约束电路由故障电路（已注入故障）、无故障电路 C 和 1 个接口电路构成。对单输出电路接口电路由 2 个 XOR 门、1 个 OR 门和 1 个 NOT 门组成，如图 1 所示。对有 m 个输出($m>1$)的电路，接口电路的结构要复杂一些，下面说明其构造方法。

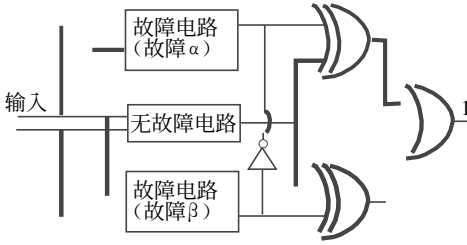


图1 单输出电路的接口电路

Fig. 1 The interface circuit of the single output circuit

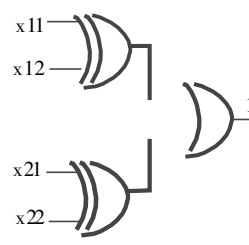


图2 C1类电路的结构

Fig. 2 The structure of the class-C1 circuit

设1个电路由 m 个二输入的 XOR 门和1个具有 m 个输入的 OR 门组成, 并且这个 OR 门的输出为 1, 这样的一类电路记为 $C1$ (图2). 由 $C1$ 电路的结构特点可知, 当输入矢量 $\mathbf{x}1 = (x_{11}, x_{12})^T$ 或 $\mathbf{x}2 = (x_{21}, x_{22})^T$ 的分量互不相同, $C1$ 的每一节点满足其逻辑状态, 否则不满足. 图2中只是有4个输入节点的情况, 对输入更多的情形(设 $C1$ 电路有 $2n$ 个输入), 此时的 $C1$ 电路共有 n 个 XOR 门和1个输出值为 1 的 OR 门, 称为 n 阶 $C1$ 类电路.

用 C_α 和 C_β 分别表示有故障 α 和 β 时电路 C 的故障电路. 设无故障电路 C 的输出为 $U = (U_1, \dots, U_m)$, 故障电路 C_α 的输出为 $U_\alpha = (U_{\alpha 1}, \dots, U_{\alpha m})^T$, 故障电路 C_β 的输出为 $U_\beta = (U_{\beta 1}, \dots, U_{\beta m})^T$. 对无故障电路 C 和故障电路 C_α , 按下述方式构成1种 m 阶 $C1$ 类电路 $C_{C\alpha}$: 以 $(U_1, U_{\alpha 1}), (U_2, U_{\alpha 2}), \dots, (U_m, U_{\alpha m})$ 分别作为 m 个二输入 XOR 门的输入, 这 m 个 XOR 门的输出为1个 OR 门的输入节点, 且这个 OR 门的输出值为 1. 对无故障电路 C 和故障电路 C_β 、故障电路 C_α 和 C_β , 可类似分别建立相应的 m 阶 $C1$ 类电路 $C_{C\beta}$ 和 $C_{C\beta}$. 这3个电路 $C_{C\alpha}, C_{C\beta}$ 和 $C_{C\beta}$ 组成的子电路就是被测电路有多个输出时的接口电路. 此外, 约束电路中的故障电路 C_α, C_β 和无故障电路 C 的输入是相同的.

由于基本门电路对应的网络能量函数只有在神经元的状态满足门的真值时才为 0, 根据接口电路的结构不难得到: 被测电路存在能区分 2 个故障 α 和 β 的测试的充要条件是: 在故障点处取与正常电路相反的值, 且满足相应逻辑门的真值, 使约束电路对应神经网络的能量函数值为 0. 这样求测试就归结为计算约束电路对应能量函数的最小值点. 在实现时可以分为故障注入、约束电路的建立、神经网络结构的简化、生成测试矢量等几个主要步骤.

测试矢量生成在约束电路的神经网络建立之后进行, 它主要是计算能量函数的最小值点. 这里可选择如下两种方法 ① 用神经网络状态转移的有关算法使能量函数演变到全局极小值点; ② 把求能量函数的最小值点当成数学上的优化问题, 用有关算法来进行. 第 ① 种方法能充分利用能量函数的一些性质和神经网络模型的特点, 但在算法上常常具有一定的随机性. 第 ② 种方法属确定性算法, 在一定条件下收敛速度较快, 主要缺点是随着神经网络规模的增加, 它的计算复杂性较大. 这里我们使用如下的柯西算法(属于第一类).

令 U_i 为神经元 i 的总输入, i 的激活值为 V_i (取 0 或 1), $T(t)$ 为一个随参数 t 变化的参数, 对神经元的状态 V_i , 它按概率 $P_i(1)$ 取 1, 按概率 $P_i(0)$ 取 0, 这里 $P_i(1) = 0.5 + (\arctg(U_i/T(t)))$, $P_i(0) = 0.5 + (\arctg(-U_i/T(t)))$, 我们选取 $T(t)$ 的变化规律为 $T(t) = T_0/(1 + \alpha t)$, T_0 和 α 为常数. 由于对任意的 $t > 0$, $T(t)$ 具有 $T(t) > T(t+1)$ 的性质, 即 $T(t)$ 满足柯西算法收敛到最小能量状态的充分条件^[5], 因此神经元的状态经过一定次数的调整之后, 必定使神经网络能量函数的值为最小. 如果此时能量函数的值为 0, 则可以得到一相容状态, 在此状态中电路的主输入节点对应神经元的激活值即是给定故障的测试.

3 实验结果

在已有基于神经网络的单故障测试生成系统(NNTS)^[4]的基础上,将上述能区分故障的电路测试生成方法用C⁺⁺语言在微机上实现,对ISCAS'85的标准电路C17,任意从该电路中选出的2个故障,把神经网络状态的转移次数上限定为500次,如果算法在运行500次之后,未能找到给定故障对应的测试,则算法终止,输出不能对故障生成测试的信息.例如对节点1GAT的s-a-1故障,7GAT的s-a-0故障,算法在迭代212次之后,找到了能区分这2个故障的1个测试矢量为(0, 1, 1, 1, 1)^T;对节点7GAT的s-a-1故障,23GAT的s-a-1故障,算法在迭代176次之后,找到了能区分这2个故障的1个测试矢量为(1, 0, 1, 1, 1)^T.因为求最小值点的柯西算法具有一定的随机性,实验时算法的迭代次数是算法重复运行10次之后迭代次数的平均值.在本文讨论的能区分故障的测试生成方法中,采用对约束电路对应神经网络结构的简化、对被测电路中目标故障数目的压缩等技术,可以进一步提高方法的效率.

参考文献:

- [1] CHAKRADHAR S T. Toward massively parallel automatic test generation [CP]. IEEE Trans, 1990, 9 (9): 981~994.
- [2] FUJIWARA H. Three-valued neural network for test generation [DB]. Intel Sym, 1990: 64~71.
- [3] ORTEGA. Generalized hopfield neural network for concurrent testing [CP]. IEEE Trans, 1993, 42 (8): 898~911.
- [4] 潘中良. 数字电路测试的神经网络方法的研究与实现: [D]. 成都: 电子科技大学, 1997.
- [5] 焦李成. 神经网络系统理论 [M]. 西安: 电子科技大学出版社, 1992.

Distinguishable Fault Methods of Circuits Test Generation

PAN Zhong-liang^{*}, CHEN Lin, ZHANG Guang-zhao

Abstract: A distinguishable faults test generation method for digital circuits is presented. The features of basic gate circuits and neural networks are used to establish the test model, and to generate the test patterns for given faults. The fault model and constrained circuit are studied. Some strategies, e. g, the reduction of the size of neural network, are proposed in order to accelerate test generation process. The experimental results demonstrate that the algorithm proposed in the paper is effective.

Keywords: digital circuits; test generation; artificial neural networks

^{*} Department of Radio and Electronics, Zhongshan University, Guangzhou 510275, China