

高速低相差双路 AD 数据采集器的设计*

丁喜冬¹, 薛淑军², 龚 康¹

(1. 中山大学物理学系, 广东 广州 510275; 2. 中山大学电子机械研究中心, 广东 广州 510275)

摘 要: 介绍一种高速低相差双路 AD 数据采集器. 通过使用比要求的采样速度更高速的 ADC 及对两路 ADC 进行严格的同步控制等措施, 设计出的 AD 数据采集器具有相位抖动小于 1 个采样周期, 并与采样速度无关, 且对接口速度要求低、接口硬件简单等特点. 实验表明, 对频率为 5 Hz 的模拟输入信号, 其相位分辨率可达 5×10^{-5} rad.

关键词: 相位差; AD 数据采集器; 固体内耗仪

中图分类号: TP391 **文献标识码:** A **文章编号:** 0529-6579 (2001) 01-0029-03

在许多应用场合, 人们需要高速、高精度的模拟量数据采集系统, 为了方便比较分析减小误差, 系统往往需要对两路或两路以上的模拟量同时并行采样. 目前的 AD 采样模块大多采用模拟开关轮流切换的办法来实现多通道采样, 各通道之间存在着最多一个采样周期的随机相位延时. 专用高速并行 AD 模块则大多采用各个 AD 并行采样、各路分别自动存贮, 事后处理的办法^[1], 因此不但存在着控制线路复杂的不足, 而且两路 AD 之间由于是存贮控制逻辑相互独立, 在受外界干扰失去同步时, 将产生一个采样周期的相位抖动, 且不能自动恢复, 因而对长时间的数据采集, 其相位抖动难以克服. 国外有人采用先将模拟量同步锁存, 再用多通道 AD 采样器进行采集的办法避免上述问题^[2], 但模拟量的锁存往往会导致额外的误差, 因此, 这种方法在采样速度及精度方面有较大局限性.

在高精度的测量中, 常常对 AD 数据采集器有非常严格的要求. 例如, 在用固体内耗仪进行内耗测量时, 需要使用高精度 AD 采样器, 测量频率越高, 要求的采样速度也越高. 由于内耗值 Q^{-1} 与两路模拟信号的相位差 θ 之间有如下关系^[3]:

$$Q^{-1} = \tan[\theta]$$

考虑在强迫振动时, 设应力频率为 5 Hz, 如要求 θ 的绝对精度为 1×10^{-4} , 则不难算出所要求 AD 的相位差最大为: $T = 3 \times 10^{-6}$ s.

若相位误差为一个采样周期, 则要求的采样速度

约为 330 kHz.

在我们的设计中, 通过使用比要求的采样速度更快的 AD 转换芯片, 以及对双路 AD 进行严格的同步锁存控制, 使相差小于一个采样周期, 较好地解决了两路 AD 采样的同时性问题.

1 设计原理

高速双路无相差 AD 数据采集器的原理框图如图 1 所示. 主要由高速采样模块、数据锁存模块、控制模块等三部分组成, 各部分作用如下:

高速 AD 采样器: 包括模拟信号前置放大及 AD 变换集成芯片, 两路 AD 由相同的 8 MHz 振

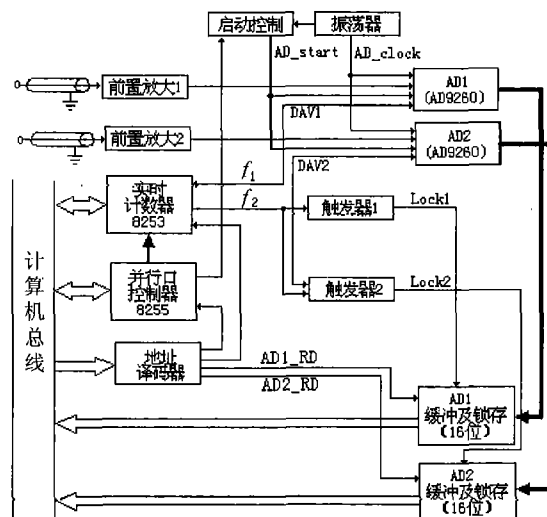


图 1 AD 数据采集原理框图

Fig.1 Block diagram of the AD data acquisition

* 基金项目: 国家自然科学基金资助项目 (19974077); 广东省攻关资助项目 (99M01007G)

收稿日期: 2000-04-05; 作者简介: 丁喜冬 (1968-), 男, 工程师.

荡器提供时钟,由相同的触发器产生启动信号。

数据锁存:将AD采样结束信号分频后,产生与所需采样速度一致的时钟信号,经触发器同步后控制将AD数据锁存。

控制模块:包括地址编码、定时逻辑及锁存器读写控制等。

各控制信号的时序图如图2所示。图中,AD-clock为AD转换器时钟(8 MHz),AD-start为AD启动控制信号,DAV1为AD1转换数据准备好信号,DAV2为AD2转换数据准备好信号,lock1为AD1锁存器锁存信号,lock2为AD2锁存器锁存信号,AD1-RD为AD1锁存器读信号,AD2-RD为AD2锁存器读信号, f_1 为AD转换器的转换速率, f_2 为要求的采样速率。

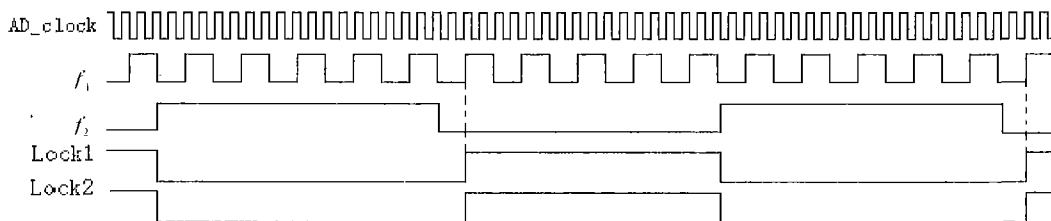


图2 控制信号时序图

Fig.2 Timing diagram of the control signals

当由于干扰等原因导致某路的锁存脉冲发生错误时,会使该路数据或少或多一个锁存脉冲,导致一个数据发生错误,但在下一个锁存脉冲到来时,又可正确同步,因此不会产生相位误差。由于对缓冲器读出速度为要求的采样速度,它比实际AD采样速度低,因此,降低了对总线接口速度的要求,简化了接口电路的设计。

2 设计结果

2.1 硬件设计

模拟数字转换器(ADC)型号是AD9260^[4]。AD9260是美国Analog公司制造,16 bit,高速过取样ADC。它结合了 $\Sigma-\Delta$ ADC及管线型ADC的优点,采用先进CMOS工艺制造。最高时钟为20 MHz,在使用16 bit分辨率时,最高采样速度为2.5 M/s;在只需使用12 bit的分辨率时,采样速率可达20 M/s;输入电压范围为 ± 1 V。在本设计中使用了两路完全相同的ADC及其外围电路,AD外围电路还包括模拟信号增益控制,前置电平转换,以及时钟信号发生器,启动信号产生电

路等。由于两路AD由同一时钟源提供时钟,在同一启动信号控制下开始工作,因此在开始时,两路AD是同步的;由于两路AD速率高于所要求的采样速率,所以可通过计数器对DAV分频产生所需频率的数据锁存脉冲 f_2 ,再将 f_2 作为数据锁存允许信号送给触发器,使之与每路的DAV信号同步,形成数据锁存信号Lock1与Lock2,由Lock1与Lock2上升沿将数据锁存。在下一个锁存脉冲到来之前,虽然AD完成了多个采样,但锁存的数据保持不变,采样到的数据的延时只取决于两路AD的转换时间之差,因此,对整体而言,AD相差可小于采样速度,且与采样速度无关。

路等。

数据锁存则较为简单,每路ADC由两片8位存储器74LS374保存采样到的数据,触发器74LS74负责产生同步锁存信号。在下一个数据到来之前,由控制电路将数据读出。

控制电路用一片8253定时控制器,产生所需采样速率,一片8255并行口控制器进行同步及读写控制,一片可编程逻辑芯片GAL16V8,用于地址译码。控制电路还包括与ISA总线的接口电路,以便微机对AD数据采集器进行控制。

2.2 测试

测试连线图如图3所示。将相同的模拟信号加到两路AD通道的输入端,模拟输入信号的频率是5 Hz,幅度为 ± 1.5 V(峰-峰值)。用两路AD分别对信号进行采样,再经过富氏变换后,计算得到两路AD的相位差,结果如图4所示。可见,该AD数据采集器的相位误差约为 $2 \sim 3 \mu\text{s}$,小于该AD数据采集器的采样周期($10 \mu\text{s}$)。即对频率为5 Hz的模拟输入信号,其相位分辨率可达 5×10^{-5} rad。

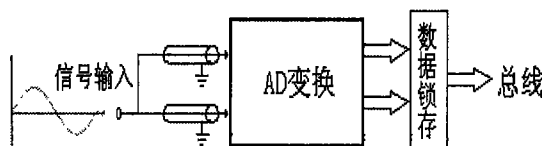


图3 测试连线图

Fig.3 Line connecting diagram for testing

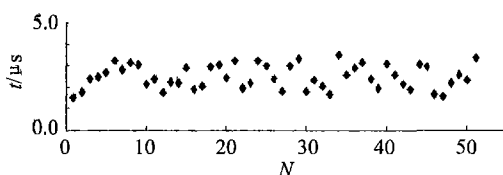


图4 两个 AD 通道之间的相位延时

Fig.4 AD phase delay between the two channels

3 结论与讨论

(1) 任意采样速率时, 两路 AD 测量时所产生的相位差不变, 采样延时只取决于内部 ADC 的实际采样速度;

(2) 双路 AD 数据采集器的相位差为两片 AD9260 的转换时间差的最大值, 小于一个 AD 转换周期;

(3) 在本设计中, ADC 的实际采样速率为 1 MHz, 但要求的微机接口速度仅为 100 kHz, 与传统方法相比, 要求的接口速度较低, 简化了接口的设计;

(4) 本设计应用于固体内耗仪的改进中, 在输入信号为 5Hz 的正弦信号时, 整体测量精度达到 1×10^{-4} rad, 效果较为满意;

(5) 由于 AD9260 速度较高, 如采用 12 bit 分辨率, 则按同样的方法可设计出最高采样速度为 20 M/s, 相差小于 0.05 μ s 的 AD 数据采集器。

参考文献:

- [1] 李华. MCS-51 单片机实用接口技术[M]. 北京: 北京航空航天大学出版社, 1993.
- [2] 刘英, 梁捷江. 在 PCI 总线上实现的 A/D 数据采集[J]. 测控技术, 1998, 17(2): 41
- [3] NOWICH A S, BERRY B S. Anelastic relaxation in crystalline solids[M]. Academic Press, 1972.
- [4] Analog Devices, Inc, <http://www.analog.com>, 1998.

The Design of A High Speed AD Data Acquisition with Low Phase Delay

DING Xi-dong¹, XUE Shu-jun², GONG Kang¹

(1. Department of Physics, Zhongshan University, Guangzhou 510275, China;

2. Research Center of Electronics and Mechanism, Zhongshan University, Guangzhou 510275, China)

Abstract: A high speed Analog-to-digital data acquisition with low phase delay between two channels is introduced. By using the AD converter with a higher speed than that of data acquisition, all of the synchronous signals are controlled strictly. The designed AD data acquisition has many advantages such as a phase delay smaller than a single acquisition period regardless of the acquisition speed, and a novel interface which demands low speed and simple hardware. Experiments show that the phase delay is about 5×10^{-5} radian when the input analog signal frequency is 5 Hz.

Keywords: phase delay; AD data acquisition; the internal friction measurement instrument