

基于双核心处理架构的视频监控系统的设计^{*}

廖日坤, 纪越峰, 李 慧
(北京邮电大学电信工程学院, 北京 100876)

摘 要: 提出一种基于嵌入式系统和双核心处理器架构的数字视频监控系统的设计方案。该系统基于 ARM /FPGA 双核心嵌入式技术, 具有低成本、高质量远程数字视频监控的优点, 适合复杂的视频处理和控制逻辑。通过设计高速 SRAM 和 VGA 输出接口, 实现双核心处理器间的高速通信。与传统的监控系统相比, 该系统能大大降低组网成本和减小体积重量。系统性能测试结果表明, 双核心处理架构能提高系统的可靠性和灵活性。

关键词: 双核心处理器; 视频监控; 嵌入式系统

中图分类号: TN919.8 文献标识码: A 文章编号: 0529 6579 (2006) 02 0033 03

随着信息数字化、网络化和智能化日益发展, 视频监控系统以其直观、方便、信息内容详实的特点, 成为交通、能源、公安、电信、军事、商业等领域安全防范的重要手段。但由于架设专用线路成本的高昂、系统处理速度的瓶颈以及可扩展能力不强等原因, 限制了传统视频监控系统的广泛应用。

本文提出了一种低成本、高可靠和远距离视频监控的解决方案。它使用 ARM /FPGA 双核心处理器架构的嵌入式系统, 适合复杂的视频处理及硬件控制逻辑, 同时兼顾处理速度和灵活性^[1], 具有很强的系统扩展能力。

1 双核心架构的视频监控系统

由双处理器组成系统的核心, 能充分发挥两者的优势。FPGA 其并行流水线处理结构适合完成并行处理、重复性强、速度要求高的数字信号处理运算, 而 ARM 适合构建嵌入式系统, 保证多任务同步和实时。

基于双核心架构的远程视频监控系统如图 1 所示, 分为 ARM 核心子系统和 FPGA 核心子系统两部分。ARM 控制 FPGA 进行 CMOS 图像采集, 然后从高速缓冲 SRAM 中读取图像数据到 LCD 显示存储区并在 LCD 屏上显示。这打通了整个数据前向通道, ARM 获取图像后可以进一步处理和传输。

其中, ARM 嵌入式微处理器具有 MMU、音频接口及 LCD 控制器。ARM 系统扩展槽和设备扩展槽用于系统功能扩展和互联, 添加如以太网、海量

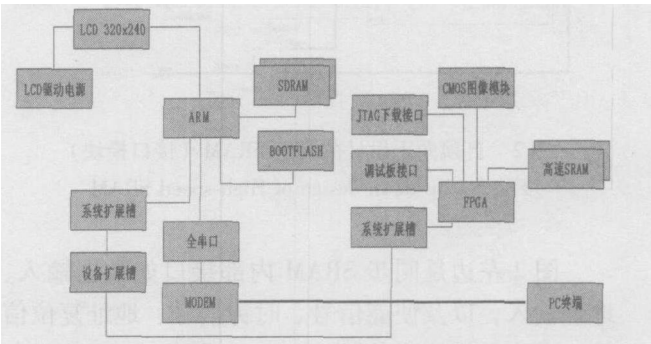


图 1 双核心架构的视频监控系统
Fig 1 Video monitor system based on dual core processor

数据存储和 PCMCIA 等接口, 以及为系统扩展 CMOS 图像获取和 VGA 显示功能^[2]。VGA 接口通过电阻网络实现 320×240×12bits 即 4 096 色彩色显示, 而 DA I 音频接口用于数字音频播放。

CMOS 图像获取和 VGA 显示功能都基于 SRAM 访问, 这需要用 FPGA 程序建立板载的高速 SRAM 连接。互联接口有 8 位地址, 同时对 SRAM 需进行顺序访问, 所以 FPGA 与 ARM 互联程序是基于寄存器访问的。它们之间的通信握手协议通过两个处理器的中断来实现, 配合信号量的使用达到系统的高速、高效通信。

因此, FPGA 与 ARM 间的接口实际是一组可通过互联接口访问的寄存器, 特定地址的寄存器对应特定的扩展功能, 为 ARM 提供了与 FPGA 内部功能模块的连接^[3]。例如, SRAM 控制寄存器、读出 / 写入数据寄存器, CMOS 采集控制和状态寄存

^{*} 收稿日期: 2005 10 25
基金项目: 国家 863 计划资助项目 (2005AA 122320); 国家杰出青年科学基金资助项目 (60325104); 北京邮电大学日立联合实验室基金资助项目
作者简介: 廖日坤 (1981 年生), 男, 博士生; E-mail: lyfen@sina.com
(C)1994-2019 China Academic Journal Electronic Publishing House. All rights reserved. http://www.cnki.net

器和 VGA 显示控制寄存器。

2 高速 SRAM 设计

高速 SRAM 是图像数据的缓冲存储器，接口模块如图 2 所示。从图像采集模块采集的每帧图像信息量为 $\frac{352 \times 288 \times 2 \text{ bytes}}{1\,024 \text{ k M} \times 1\,024 \text{ b k}} \approx 1.95 \text{ Mbit}$ 而 SRAM（访问速度 10 ns）容量为 $256 \text{ k} \times 16 \text{ bit} = 4 \text{ Mbit}$ 因此能实现双缓冲处理。对数据的读取、改写操作都是顺序地址访问，所以高速 SRAM 设计为地址可以自增、自减的同步接口。

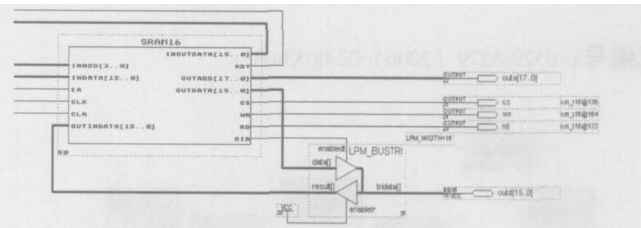


图 2 自顶向下设计的高速 SRAM（接口模块）
Fig. 2 Up down design of high speed SRAM

图 2 左边是同步 SRAM 内部接口如数据输入、地址输入，以及使能信号、时钟信号、地址复位信号。右边是模块对外部接口如 LPM_BUSTRI 双向数据总线，及读写有效信号、片选输出信号。

软件设计中，SRAM 通过设置不同的输入地址实现与时钟信号同步的数据访问，访问地址可以固定、自增 1 或自减 1。这样设计简化了内部接口，兼顾了访问速度和访问的灵活性。

在普通模式下，每 3 个时钟周期完成一次外部 SRAM 访问。而基于双核心处理架构下可实现突发访问模式，每两个时钟周期完成一次访问，比普通模式处理快 33%。

3 VGA 接口与权电阻网络设计

VGA 是 FPGA 核心子系统的重要输出设备之一，其接口是 15 针 D 型接口，由 R、G、B 三色模拟信号线和行同步、场同步两个数字信号构成。通过 VGA 接口，FPGA 连接 PC 显示器可显示 $320 \times 240 \times 4\,096 \text{ Pixel} = 300 \text{ Mbit}$ 图像。

系统中使用 FPGA 两个输入输出 I/O 作为同步信号，用 12 个 I/O 通过由电阻网络构成的 3 个 DAC 作为 R、G、B 模拟信号（每种颜色 4 个 I/O 即 4 位 DA，16 级灰度）。VGA 负载电阻是 75Ω ，RGB 模式信号的幅度是 0.7 V，经过计算可以得出电阻网络中各电阻的值。图 3 是电阻网络 4 位 DAC 的原理图。

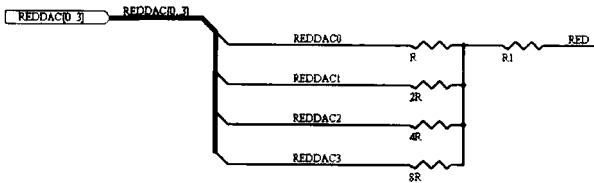


图 3 电阻网络原理图
Fig. 3 Schematic of resistance network

VGA 的软件设计需要比较精确的定时^[4]，示波器实际测试在不同分辨率下 VGA 的同步参数如表 1 所示。

表 1 不同分辨率下的同步参数 Tab. 1 Synchronous parameter in different DPI			
显示分辨率	行频 /kHz	场频 /Hz	点频 /MHz
320×200	31.3	74.9	~15
320×240	37.4	74.9	~18
400×300	46.8	74.9	~28
640×480	37.4	74.9	~36
800×600	46.8	74.9	~56
1024×768	59.9	74.9	~92

图 4 是 VGA 行、场同步信号示意图，其中同步信号的极性根据不同的显示分辨率而不同。由于分辨率越高，RGB 模拟信号的速率也越高，而 FPGA 主时钟为 64 MHz，所以适于 320×240 或近似分辨率的彩色图像显示。

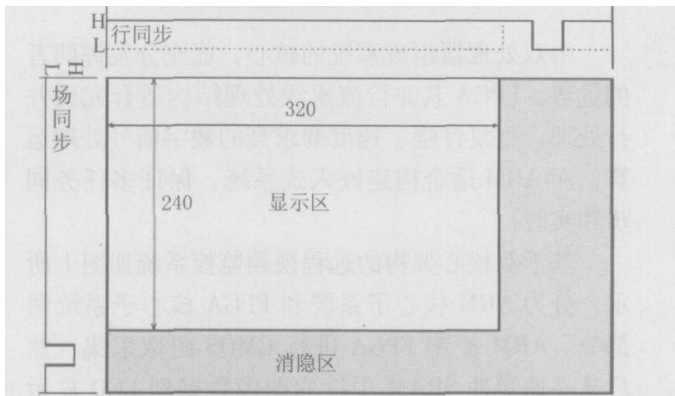


图 4 VGA 同步信号示意图
Fig. 4 Sketch map of VGA synchronous signal

4 系统的运行与测试

ARM 从 FPGA 获取图像信息后，执行压缩程序，压缩后的文件传递到监控 PC 端^[5]。由于系统采用相同的图像分辨率和常量表，所以文件头相同。为了减少传输数据量，可以不传送文件头而在监控主机端由软件自动添加。

系统使用调制解调器建立远程数据连接，当远

程监控终端处处于待命状态时，使用“ATS0=3&DOW&W 1”命令设置为自动应答方式，3 次振铃后自动摘机，经历“数据风暴”后与主叫方建立连接^[9]。监控中心由软件控制拨号建立连接或者挂断连接。

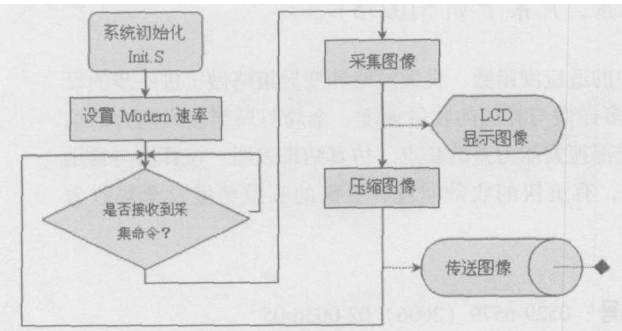


图 5 主程序设计
Fig 5 Design of main program

由于监控终端工作于自动应答方式，ARM 通过串口以 19 200 bps 发送“ATH”命令约定命令方式下的通讯速率。调制解调器接收到振零信号后向 ARM 发送“Ring”字符串，3 次振铃后自动应答。数据连接建立好，ARM 接收到“CONNECT”字符串表明通讯线路连接成功，建立远程数据连接。然后 ARM 接收从监控中心的采集命令，依次完成图像采集、压缩处理，以 ASCII 码形式直接发送数据到监控中心^[7-8]。

经过实际测试，从拨号开始到接收到视频信号时间为 5.7 s，建立连接以后刷新间隔为 3.9 s（其中图像采集 0.7 s，压缩 2.1 s，数据传输 1.1 s），信号带宽为 518 kb/s。

5 结 语

本文提出一种基于双核心处理架构和嵌入式应用系统的数字远程视频监控的设计方案。系统前端使用一体化高集成数字化视频采集模块，简化了系统前端的设计，降低了前端成本；信号处理与控制逻辑使用由高速、高性能的 ARM 与 FPGA 构建的嵌入式系统，通过软件来实现视频压缩与传输。在降低系统成本的同时，提高了系统的灵活性。

实践证明，基于双核心架构的低成本数字化远程视频监控系统，具有高可靠和高效率的视频处理和监控效果，以及很强的系统扩展能力。

参考文献：

[1] 周立功. ARM 嵌入式系统基础教程[M]. 北京：北京航空航天大学出版社，2005.
[2] 赵保军，史彩成，毕莉，等. 基于 FPGA 和 DSP 实现的实时图像压缩[J]. 电子学报，2003 31(9)：1317 - 1319.
[3] 杜春雷. ARM 体系结构与编程[M]. 北京：清华大学出版社，2003.
[4] PERRY D E. 软件工程与软件体系结构[M]. 冯玉，译. 北京：电子工业出版社，2000.
[5] 王卫锋，汤华中，易志平. 数字视频监控系统中远端摄像机控制的研究[J]. 中山大学学报：自然科学版，2003 42(S2)：130 - 132.
[6] MICHAEL B. C. C++ 嵌入式系统编程[M]. 于志宏，译. 北京：中国电力出版社，2001.
[7] DOUGLAS E. DAVID L. 用 TCP/IP 进行网际互连[M]. 北京：电子工业出版社，2000.
[8] CASTLEMAN K R. Digital Image Processing[M]. USA: Prentice Hall Inc. 1998.

Design of Video Monitor System based on Dual Core Processing Architecture

LIAO Ri-kun, JI Yue-feng, LI Hui

(College of Telecommunication Engineering Beijing University of Posts and Telecommunications
Beijing 100876 China)

Abstract A reference design of digital videomonitor system based on embedded system and dual core processors was proposed. The system adopts ARM/FPGA dual processing and embedded technology. It has the merits of low cost and high quality which is suitable for complicated video processing and control logic. SRAM and VGA interfaces help to realize the high-speed communication between the processors. Compared with the traditional one, the system can greatly reduce the cost and decrease the weight. The performance results show that the dual core processing architecture can enhance reliability and agility of the system.

Key words dual core processors; videomonitor; embedded system