

# 多模式多时钟域芯片的物理设计方法\*

覃晓莹, 郑湘南, 王政集, 粟涛  
(中山大学物理科学与工程技术学院, 广东 广州 510275)

**摘要:** 为了降低测试成本和难度, 提高质量和成品率, 量产芯片一般包含存储器内建自测试 (MBIST) 模式和扫描链测试 (Scan Chain Test) 模式。另一方面, 随着芯片集成的功能不断增多, 设计时一般会采用多个不同时钟。针对这种情况, 本文提出了一种通过改变时序约束, 实现此类芯片多模式归一化的物理设计方法, 称为混合模式 (Mix-mode)。把该方法运用到一款基于 130 nm 工艺的视频后处理专用芯片上, 采用 Synopsys IC Compiler (ICC) 工具进行布局布线。结果表明, 与采用 ICC 工具提供的多模式 (Multi-Mode) 设计方法相比, 采用该方法完成的物理版图在工具运行时间、时序、功耗、面积、总线长等方面都有更好的结果。

**关键词:** 多模式; 多时钟域; 跨时钟路径; 物理设计

**中图分类号:** TN402    **文献标志码:** A    **文章编号:** 0529-6579 (2015) 03-0014-06

## Physical Design Method of Multi-Mode and Multi-Clock Domain Chips

QIN Xiaoying, ZHENG Xiangnan, WANG Zhengji, SU Tao

(School of Physics and Engineering, Sun Yat-sen University, Guangzhou 510275, China)

**Abstract:** To reduce the cost and difficulty of chip testing, also improve quality and yield, memory build-in self-test (MBIST) mode and scan chain test mode are included in mass-production chips. As more functions are integrated on a single chip, multiple different clocks are adopted in design. The solution presented is a physical design method named Mix-mode, which realize normalization of multi-mode based on changing the timing constraints. The method was applied in design of a video processing chip based on 130 nm process and IC Compiler (ICC) used for placement and routing. The results showed that the physical layout was better in terms of runtime, timing, power consumption, area and total wire length than that obtained from the Multi-mode method provided by ICC.

**Key words:** multi-mode; multi-clock domain; clock domain crossing paths; physical design

随着集成电路产业的蓬勃发展, 电路集成的功能不断增多。在一个集成电路的设计中, 往往包含着许多不同的时钟域。同时, 为了提高集成电路的可靠性, 保证量产出来的集成电路芯片能正常工作, 并降低测试成本, 芯片中除了包含正常的工作模式外, 还包含了存储器内建自测试 MBIST (Memory Built-in Self-test) 模式和扫描链测试

(Scan Chain Test) 模式。

物理设计是实现数字集成电路的关键和难点。改进物理设计流程, 探索物理设计的规律一直是数字集成电路设计研究的热点<sup>[1-6]</sup>。

针对多模式芯片的物理设计, Synopsys ICC (IC Compiler) 设计工具提供了一种名为 MCOMM (Multi-Corner, Multi-Mode)<sup>[7]</sup>的方法。该方法允许

\* 收稿日期: 2014-11-05

基金项目: 国家自然科学基金资助项目 (61471402); 广东省部产学研资助项目 (2012B091100151)

作者简介: 覃晓莹 (1991年生), 女; 研究方向: 专用集成电路后端物理设计; 通讯作者: 粟涛; E-mail: sutao@mail.sysu.edu.cn

为每个工作模式创建独立的时序约束文件<sup>[8]</sup>，实现多种模式同时优化和验证。这种方法已被广泛应用，成为一种标准的设计流程。

本文认为，对于采用 130 nm 及以上工艺，包含多种模式和多个时钟域，且时钟复杂度小、总体频率较低的芯片，可以通过改变时序约束，实现芯片多模式归一化的物理设计。据此，提出了一种有别于 MCMM 的新方法，称为混合模式 (Mix-mode) 设计方法。该方法可以把三种模式下独立的时序约束文件合并精简为一个，并通过将所有时钟周期值设置为某个最小周期值的整数倍，解决多模式多时钟域芯片中的跨时钟路径问题，保证芯片在三种模式下都能正常工作。

## 1 多种工作模式和多个时钟域

### 1.1 多种工作模式

一般量产的芯片包含三种工作模式，分别为：

1) Function 功能模式：该种模式下有多个功能时钟，芯片将完成预期要实现的所有功能，是芯片的主要工作模式。

2) MBIST 模式：为了确保芯片内存储器没有故障，在存储器外围植入一整套测试电路，自动产生测试向量并对输出进行比较判决，完成对存储器的自动测试<sup>[9]</sup>，由 MBIST 时钟控制。

3) 扫描链测试模式：把普通寄存器替换成带测试端口的扫描寄存器，再将它们串成扫描链。通过扫描寄存器移位输出，来观测寄存器本身及它们之间的组合逻辑工作是否正常，来实现对数字逻辑部分的测试<sup>[9]</sup>，由扫描链时钟控制。

这三种工作模式有主次之分。MBIST 和扫描链测试模式都仅用于芯片测试，只需在封装前运行一次，芯片大部分时间都要运行在功能模式下。

### 1.2 跨时钟路径

多模式多时钟域芯片中，除了含有控制 MBIST 模式和扫描链测试模式的两个时钟外，在其功能模式下往往还包含了多个功能时钟。不同时钟域间的数据交换便形成了跨时钟路径。通常，在代码设计时，设计者会通过 FIFO 或握手信号等方式来处理分跨不同时钟的跨时钟域路径<sup>[10]</sup>，经过处理的这类路径可设置不进行时序检查。

如本文中采用的设计实例——视频后处理专用芯片 VP2012，其包含了 9 个功能时钟：148.5 MHz 的视频流时钟、显示时钟、PLL 倍频时钟、备用时钟；100 MHz 的 FIFO 读出时钟和内存时钟；27 MHz 的处理时钟和晶振输出时钟；100 kHz 的

I<sup>2</sup>C 配置时钟。图 1 显示了 VP2012 几个主要的时钟域。在进行代码设计时，设计者已经通过 FIFO 方式处理了横跨不同时钟间的跨时钟路径。但是若不在 ICC 中对其进行标识，ICC 仍会将其纳入时序分析范围。

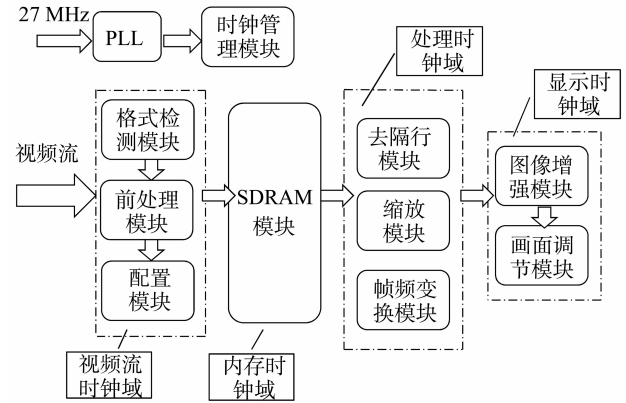


图 1 VP2012 功能模式下的时钟域划分

Fig. 1 Clock domain division in VP2012 function mode

事实上，还存在一种“虚假”的跨时钟路径，这些路径物理上存在，但没有对应的使用场景。如图 2 所示，Clk1 和 Clk2 为两个功能时钟。当选通器 MX 的选通信号为 0，芯片处于功能模式，选通器 MX1 和 MX3 选通功能数据，MX2 和 MX4 分别选通时钟 Clk1 和 Clk2。此时寄存器 Reg1 和 Reg2 处于两个不同的时钟域，分别由时钟 Clk1 和 Clk2 控制，两寄存器之间没有数据交互；当选通信号为 1 时，进入扫描链测试模式，此时 Reg1 和 Reg2 均由扫描链时钟控制。扫描链测试数据经由 MX1，从 Reg1 的 D 端进入，从其 Q 端输出，输出数据经由 MX3 选通到达 Reg2 D 端。

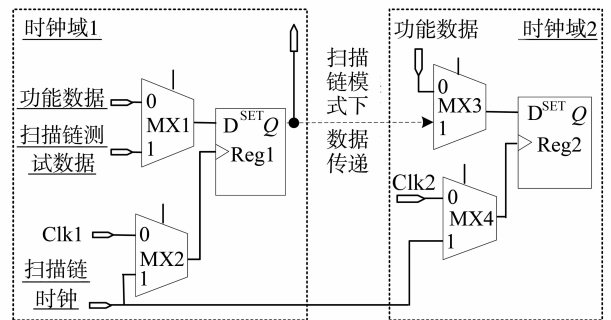


图 2 多模式芯片中的跨时钟路径

Fig. 2 Clock domain crossing paths in Multi-mode chip

可见在扫描链测试模式下，Reg1 和 Reg2 之间存在一条数据路径。在功能模式下，这条路径就

成为了一条分跨 Clk1 和 Clk2 两时钟域的跨时钟路径。

现今的设计工具并不会自动识别出以上这些“虚假”的跨时钟路径, 依旧会将其纳入时序分析范围。为避免产生大量误导性的时序报告, 我们在物理设计时必须对以上两种跨时钟路径进行相应的处理。

## 2 两种物理设计方法比较

### 2.1 多模式 (Multi-mode) 设计方法

ICC 提供的 MCMM 设计方法可以避免多模式多时钟域芯片物理设计中存在的“虚假”跨时钟路径问题。MCMM 可同时在多种工作场景下进行设计优化, 并验证设计是否满足要求<sup>[11]</sup>。对于 130 nm 以上工艺的芯片, 采用 MCMM 设计方式可以忽略 Multi-corner 的影响, 仅考虑 Multi-mode。

采用 Multi-mode 设计方法, 即通过提供不同模式下各自的 SDC 约束文件, 把非该模式下的路径设置为无效路径 (Disable timing), 指引工具不分析这些“虚假”的跨时钟路径, 避免产生错误的时序报告。其实现步骤为<sup>[7]</sup>: 设置功能模式, MBIST 测试模式, 扫描链测试模式三个工作场景。三个场景均使用相同的 PVT 时序库、RC 条件和物理设计规则约束。对于功能模式场景, 在时序约束文件中设置正常工作需要用到的时钟, 并把它们设置为异步时钟组<sup>[12]</sup>, 不允许工具去分析跨时钟路径, 同时约束好对应的输入输出引脚; 对于 MBIST 测试和扫描链测试场景, 在时序约束文件中只需要设置相应的测试时钟及该模式下用到的输入和输出引脚的约束。将三个场景全设置为激活状态, 以便让 ICC 在做之后的物理设计流程时, 能同时考虑三个场景的约束条件, 实现多模式同时优化。

### 2.2 Mix-mode 设计方法

为提高效率, 本文提出的 Mix-mode 物理设计方法可以将三种工作模式归一化处理。该方法把三种模式下的约束文件合并精简为一个, 并通过把所有时钟周期设置为最小周期值整数倍的方法巧妙地处理了“虚假”跨时钟路径。

如图 3 所示, 当选通信号为 0 时, 芯片处于功能模式; 当选通信号为 1 时, 芯片进入扫描链测试模式, 功能模块中的寄存器将由扫描链时钟控制。可以看出, 扫描链时钟和功能时钟共用时钟路径, 芯片中没有单独在扫描链时钟下工作的器件。另外, 一般扫描链时钟频率要低于其它时钟。因此, 我们在时序约束文件中不考虑扫描链时钟, 进而将

所有功能时钟和 MBIST 时钟合并到同一个时序约束文件中, 实现多模式归一化处理, 称为 Mix-mode。

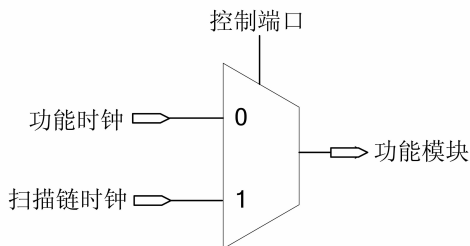


图 3 功能时钟和扫描链时钟的选通

Fig. 3 Gating between function clock and scan-chain clock

如 1.2 节所述, ICC 在进行时序优化时, 并不会自动识别出“虚假”的跨时钟路径。工具按照普通的时序分析方法计算时, 会假定时钟 Clk1 和 Clk2 的起始上升沿 (假设寄存器由上升沿触发) 一致, 再采用这两个时钟除起始上升沿外靠得最近的两个上升沿的差值作为计算其建立时间裕量的“周期”<sup>[12]</sup>。如图 4 所示, 当两个时钟周期不是整数倍关系时, 两个上升沿的最小差值会趋近于零, 就会使该路径报出时序违例, 而实际上这条路径是“虚假”的, 可设置为 Disable timing, 但若设置为 Disable timing 就无法实现多模式归一化, 因此, 我们将所有的时钟周期设置为某个最小周期值的整数倍。这样工具就能把多种模式归一化处理, 而且也保证了所有的跨时钟路径至少被约束在最小周期值内。预防当两个时钟上升沿差值很小时, 工具把“虚假”路径当成时序关键路径报出违例, 不能找出真正的时序关键路径。

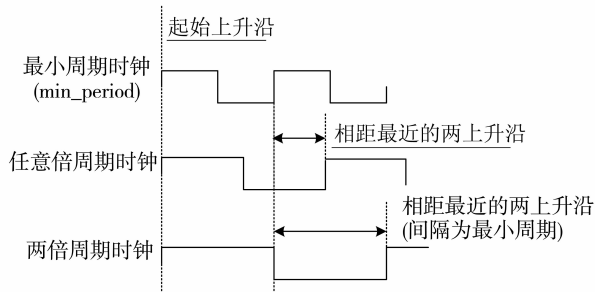


图 4 时钟周期的设置

Fig. 4 Clock cycles setting

综上所述, Mix-mode 物理设计方法可将多种工作模式归一化处理; 在时序约束文件中, 只包含

功能时钟和 MBIST 时钟，并将这些时钟周期都设置为某个最小周期值的整数倍，不需要再设置异步时钟组。用此方法完成物理设计流程后，再对三种模式下的时序都进行检查，确保在三种模式下都能够正常工作。

图 5 为 Multi-mode 和 Mix-mode 两种物理设计方法的基本流程。

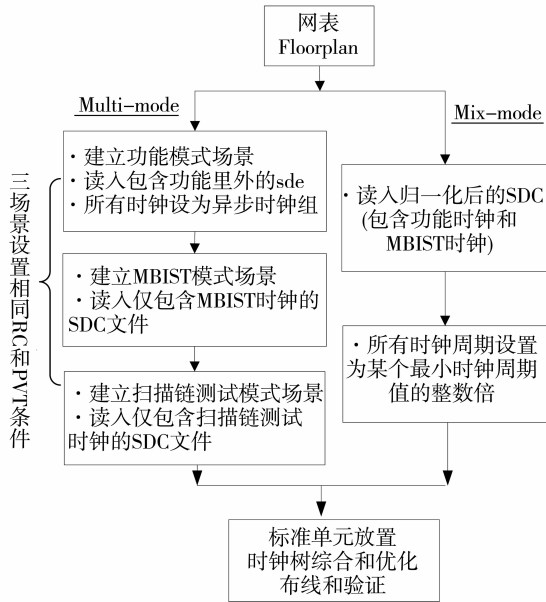


图 5 Multi-mode 和 Mix-mode 设计流程

Fig. 5 Design flow of Multi-mode and Mix-mode

### 3 分析与验证

随着信息数字化日益发展，视频和图像相关的技术应用已经渗入到了生活的方方面面，人们对视频图像的清晰度、智能程度的要求也越来越高，在视频图像方面的研究和探索也从不间断<sup>[13-15]</sup>。

VP2012 芯片就是中山大学 ASIC 研究中心自主研发的视频图像后处理专用芯片，采用 130 nm 工艺，包含功能、MBIST 测试和扫描链测试三种工作模式，共 11 个工作时钟，设计的最高工作频率为 148.5 MHz。

使用 Multi-mode 和 Mix-mode 两种物理设计方法对 VP2012 进行设计，其结果进行对比分析如下。

图 6 显示了在两种物理设计过程中，标准单元放置、时钟树综合和优化以及布线四个阶段所耗费的时间<sup>[16]</sup>。可以看到，无论在哪个设计阶段，Mix-mode 所耗费的时间都明显少于 Multi-mode。

表 1 为完成整个芯片布线后的功耗、器件面

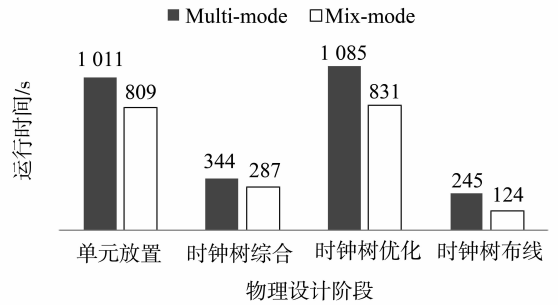


图 6 物理设计各阶段运行时间

Fig. 6 Runtime in different stage of physical design

积、线长、时序情况和物理规则违例情况的对比。

可以看出，采用 Mix-mode 方法，功能模式下的功耗及全芯片器件面积、连线总长度都较小，建立时间和保持时间的时序违例路径、物理设计规则违例数量也更少。也就是说，该方法得到的芯片物理版图质量更高，大大减少了后期修复时序违例和物理设计规则违例的工作量。

表 1 全芯片布线后结果对比

Table 1 Results comparison after chip routing

参数	Multi-mode	Mix-mode
功能模式下功耗/mW	158.63	147.29
全芯片器件面积/mm <sup>2</sup>	7.51	7.36
全芯片连线总长度/m	5.58	5.50
时序违例路径数量/条 (建立时间 : 保持时间)	16 : 29	7 : 4
物理设计规则违例数量	1 328	512

从两种方法的时钟树结果对比（见表 2）发现，如果只比较时钟树的最长路径延时和时钟偏差，采用 Multi-mode 设计方法得到了更好的结果。与 Mix-mode 相比，采用 Multi-mode 方式所得时钟树的最长路径延时较小，部分时钟偏差值也减小了 0.03 ns 以上。而在 Mix-mode 设计方法中，由于其时序约束文件没有定义扫描链测试时钟，ICC 并没有去平衡该时钟树上的延时，故导致其时钟偏差值高达 0.832 ns（见表 2 末行），约为 Multi-mode 设计方式所得结果的 7 倍。

但是，VP2012 芯片的扫描链测试时钟频率仅为 22 MHz，不到该芯片最高时钟频率的 1/6，而且该时钟仅在扫描链测试模式下运行一次，0.832 ns 的时钟偏差依旧在可接受的范围内。从表 1 列出的芯片时序情况上看，这样大的时钟偏差也并未对芯片的时序结果造成关键性影响。

表 2 时钟树综合结果对比<sup>1)</sup>

Table 2 Results comparison of clock tree synthesis

时钟参数/ns	Multi-mode		Mix-mode	
	最长路径 延时	时钟 偏差	最长路径 延时	时钟 偏差
Sdram_ clk	0.626	0.063 1	0.687	0.093 9
Rd_ clk	0.317	0.017 5	0.383	0.078 2
Disp_ clk	1.04	0.104	1.22	0.140
Mbist_ clk	1.02	0.105	1.21	0.137
Scan_ clk	1.38	<u>0.121</u>	1.39	<u>0.832</u>

1) 仅列出时钟偏差值 Skew 大于 0.030 ns 的时钟

从 VP2012 的实际情况分析可得, 针对此类工艺在 130 nm 以上、时钟复杂度较小、时钟总体频率较低的多模式多时钟域芯片, 采用本文提出的 Mix-mode 设计方法得到的物理版图质量更高, 物理设计工具的运行时间更短, 同时在功耗、时序、器件面积等重要指标上都有更优的结果。本文提出的 Mix-mode 物理设计方法应该是可行的。

采用本文提出的 Mix-mode 物理设计方法, 对 VP2012 进行设计, 获得如图 7 所示的最终物理版图。为进一步验证设计方法的可行性及有效性, 对此版图进行流片和封装。

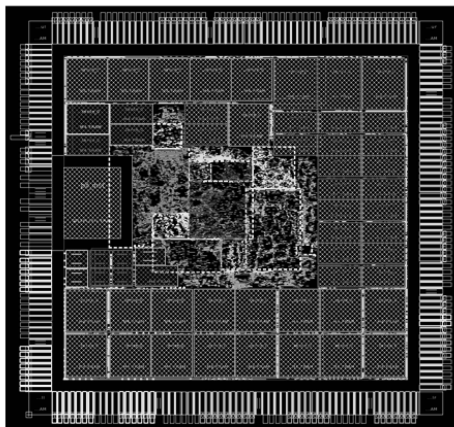


图 7 VP2012 视频后处理芯片物理版图

Fig. 7 The physical layout of VP2012 video post-processing chip

图 8 即为 VP2012 视频后处理专用芯片流片后的测试系统。经过实测, 验证芯片在三种模式下都能正常工作, 同时工作频率也能达到设计要求。这表明该混合模式物理设计方法是可行的。

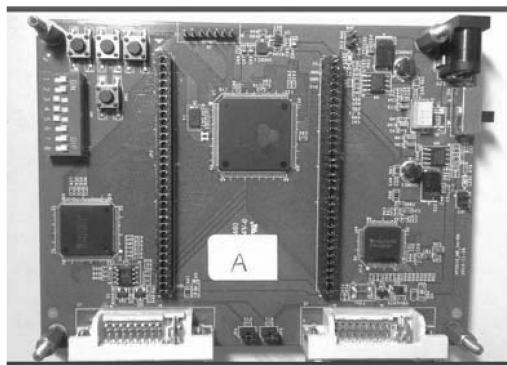


图 8 VP2012 视频后处理芯片测试系统

Fig. 8 The test system of VP2012 video post-processing chip

## 4 结 论

本文针对现在普遍的多模式多时钟域芯片, 提出了一种称为 Mix-mode 的物理设计方法, 它通过改变时序约束, 将此类芯片的多种模式进行归一化处理。把该方法运用到一款基于 130 nm 工艺的视频后处理专用芯片上, 完成最终的物理版图, 流片并通过验证。文中给出了完成物理设计后, Multi-mode 和 Mix-mode 两种物理设计方法的关键结果参数对比。结果显示, 通过 Mix-mode 设计方法得到的物理版图, 在功耗、时序、面积、线长等各项重要指标上都有更优的结果, 大大减少了后期修复的工作量, 证明了该方法的可行性和有效性。对于此类采用 130 nm 以上工艺、时钟复杂度小、时钟总体频率较低 (MHz 数量级, 譬如在 VP2012 的最高工作频率 148.5 MHz 下) 的多模式多时钟域芯片物理设计, 有重要的参考价值和借鉴意义。

### 参考文献:

- [1] 朱贺, 李俊福, 钱旭. 混合模式下详细布局算法的时延优化策略[J]. 微电子学, 2014(3): 403 - 408.
- [2] 崔茜, 于忠臣. 多时钟源分割方法在时钟树综合中的应用[J]. 中国集成电路, 2014(6): 32 - 36.
- [3] 徐海芹, 王仁平, 陆培民. 集成电路物理设计方法探究[J]. 中国集成电路, 2013(4): 51 - 56.
- [4] 王淑芬, 吴秀龙. 基于 65 nm 工艺数字 IC 物理设计中信号串扰的预防[J]. 电子技术, 2012(1): 47 - 48.
- [5] 桑红石, 张志, 袁雅婧. 数字集成电路物理设计阶段的低功耗技术[J]. 微电子学与计算机, 2011(4): 73 - 75, 80.
- [6] 柏璐, 聂红儿, 李莉. ASIC 物理设计中金属层数对芯片的影响[J]. 半导体技术, 2010(1): 27 - 30.

(下转第 25 页)

Computer-based Modelling and Optimization in Transportation, Switzerland: Springer, 2014: 347 – 360.

- [5] 白维雅. 城市轨道交通换乘优化研究 [D]. 重庆: 重庆大学, 2012.
- [6] VANSTEENWEGEN P, OUDHEUSDEN D V. Developing railway timetables which guarantee a better service [J]. *European Journal of Operational Research*, 2006, 173(1): 337 – 350.
- [7] 马超云. 城市轨道交通换乘站列车时刻表的协调和优化 [D]. 北京: 北京交通大学, 2010.
- [8] DESSOUKY M, HALL R, NOWROOZI A, et al. Bus dispatching at timed transfer transit stations using bus tracking technology [J]. *Transportation Research Part C: Emerging Technologies*, 1999, 7(4): 187 – 208.
- [9] YU B, WU S, YAO B, et al. Dynamic vehicle dispatching at a transfer station in public transportation system [J]. *Journal of Transportation Engineering*, 2011, 138(2): 191 – 201.
- [10] GUEVARA C A, DONOSO G A. Tactical design of high-demand bus transfers [J]. *Transport policy*, 2014, 32: 16 – 24.
- [11] 周雪梅, 杨晓光. 基于 ITS 的公共交通换乘等待时间最短调度问题研究 [J]. *中国公路学报*, 2005, 17(2): 82 – 84.
- [12] SHRIVASTAVA P, O'MAHONY M. A model for development of optimized feeder routes and coordinated schedules—A genetic algorithms approach [J]. *Transport Policy*, 2006, 13(5): 413 – 425.
- [13] WONG R C, YUEN T W, FUNG K W, et al. Optimizing timetable synchronization for rail mass transit [J]. *Transportation Science*, 2008, 42(1): 57 – 69.
- [14] WU Y H, TANG J F. Optimizing timetable synchronization for regional public transit with minimum transfer waiting times [C] // *Proceedings of the Control and Decision Conference (CCDC)*, 2012 24th Chinese, F, 2012.
- [15] ZHAO F, ZENG X. Optimization of transit route network, vehicle headways and timetables for large-scale transit networks [J]. *European Journal of Operational Research*, 2008, 186(2): 841 – 855.
- [16] 石琴, 覃运梅, 黄志鹏. 公交区域调度的最大同步换乘模型 [J]. *中国公路学报*, 2008, 20(6): 90 – 94.
- [17] 白广争, 郭进, 石红国. 基于离站时刻协调的地铁换乘站列车衔接优化研究 [J]. *交通运输系统工程与信息*, 2013, 13(5): 134 – 139.
- [18] MESA J A, ORTEGA F A, POZO M A. A geometric model for an effective rescheduling after reducing service in public transportation systems [J]. *Computers & Operations Research*, 2013, 40(3): 737 – 746.
- [19] VIDAL T, CRAINIC T G, GENDREAU M, et al. A hybrid genetic algorithm with adaptive diversity management for a large class of vehicle routing problems with time-windows [J]. *Computers & Operations Research*, 2013, 40(1): 475 – 489.
- [20] 燕乐纬, 陈树辉. 基于改进遗传算法的非线性方程组求解 [J]. *中山大学学报: 自然科学版*, 2011, 50(1): 9 – 13.

(上接第 18 页)

- [7] HUANG L. Accelerated design convergence with IC compiler-concurrent multi-mode, multi-corner (MCMM) and signoff driven closure [R]. TAIWAN: Synopsys Users Group, 2007.
- [8] Synopsys Inc. Using the synopsys design constraints format application note version Z-2007. 03 [R]. Synopsys Inc, 2007.
- [9] WANG L T, WU C W, WEN X Q. VLSI test principles and architectures: Design for testability [M]. 2nd ed. San Francisco: Morgan Kaufmann, 2006.
- [10] STEIN M. Crossing the abyss: asynchronous signals in a synchronous world [J]. *EDN*, 2003, 48(16): 59 – 69.
- [11] 严天鸣, 刘晓飞, 蔡准. 一种在 MCMM 条件下进行漏功耗优化的有效方法 [C] // *Synopsys Users Group China 2014*. 深圳, 2014: 117 – 124.
- [12] Synopsys Inc. Design compiler 1 workshop student guide 10 – I – 011 – SSG – 017 [R]. Synopsys Inc, 2011.
- [13] 廖日坤, 纪越峰, 李慧. 基于双核心处理架构的视频监控系统的设计 [J]. *中山大学学报: 自然科学版*, 2006, 45(2): 33 – 35.
- [14] 陈宏臣, 杨坤怡. 基于 FPGA 高速实时图像数据处理系统的研究 [J]. *微计算机信息*, 2010(2): 128 – 129.
- [15] 房穗韬, 方艳梅. 基于插值检测的扫描图像源辨识方法 [J]. *中山大学学报: 自然科学版*, 2013, 52(5): 19 – 25.
- [16] Synopsys Inc. IC Compiler™ implementation user guide version G – 2012.06 – SP4 [R]. Synopsys Inc, 2012.